

BEST AVAILABLE COPY

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(11) 2-114641 (A) (43) 26.4.1990 (19) JP

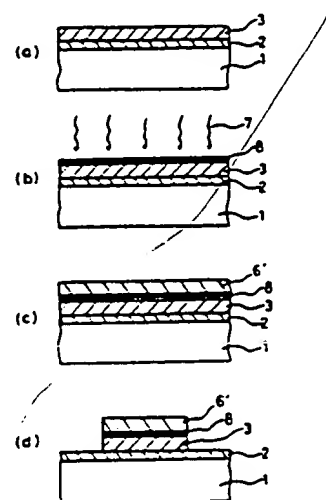
(21) Appl. No. 63-268743 (22) 25.10.1988

(71) MITSUBISHI ELECTRIC CORP (72) TOMOHIRO ISHIDA

(51) Int. Cl.³ H01L21/3205

PURPOSE: To obtain a film structure, which is superior in the adhesion between a W film and a poly silicon film, by a method wherein the W film having a high chemical bondability with the poly silicon film is provided on the poly silicon film by a chemical vapor growth method.

CONSTITUTION: A gate oxide film 2 is formed on a semiconductor substrate 1 and after a poly silicon film 3 is deposited on the film 2, an impurity is doped in the film 3 and moreover, a natural oxide film on the film 3 is removed by sputter etching. WF_6 gas 7 is used as source gas and if the substrate is heated, such a reaction as to be shown by Formula $= 2WF_6 + 3Si \rightarrow 2W + 3SiF_4$ is generated between the WF_6 gas 7 and the film 3 and a W film 8 is deposited on the film 3. At this time, the reactivity between the W film 8 and the film 3 is higher than that between a WSi_2 film deposited by a sputtering method and the film 3 and the adhesion between the W film 8 and the film 3 is very firm.



⑫ 公開特許公報(A) 平2-114641

⑬ Int. Cl.¹

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)4月26日

H 01 L 21/3205

6824-5F H 01 L 21/88

Q

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭63-268743

⑰ 出 願 昭63(1988)10月25日

⑱ 発 明 者 石 田 友 弘 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 早瀬 憲一

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1) 半導体装置の製造方法において、

半導体基板の主面上に多結晶シリコン膜を形成する工程と、

前記多結晶シリコン膜上の自然酸化膜をスパッタエッチングにより除去する工程と、

前記多結晶シリコン膜に接して化学的気相成長法によりW膜を堆積する工程と、

前記W膜に接して化学的気相成長法あるいは物理的気相成長法によりWSi₂膜を堆積する工程とを含むことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は半導体装置の製造方法に関し、特に半導体装置の金属配線の形成方法に関するものである。

(従来の技術)

多結晶シリコン膜上にシリサイド膜を積み上げた構造はポリサイド構造とよばれ、従来の多結晶シリコン単層膜と比較すると抵抗が低く、さらにゲート電極として用いた場合、MOSFETの特性は下層の多結晶シリコンで決まるため、従来の多結晶シリコンゲートのデータがそのまま使えるという利点を持つ。

第2図に従来法による多結晶シリコン/WSi₂ゲート構造を形成するためのフローを示す。

図において1は半導体基板、2はゲート酸化膜、3は多結晶シリコン膜、4は自然酸化膜、5はArイオン、6はWSi₂膜である。

以下、従来の製法について説明する。

第2図a)に示すように、半導体基板1上に熱酸化法によりゲート酸化膜2を形成する。

次に第2図b)に示すように、化学的気相成長法により多結晶シリコン膜3を堆積した後、仮設技術によりリンなどの不純物を多結晶シリコン3中にドーピングする。次に多結晶シリコン3上には自然

酸化膜4が成長するので、第2図c)に示すようにこれをA⁺イオン5を用いてスパッタエッチングにより除去する。

次に第2図d)に示すようにスパッタ法によりWSi₂Bを堆積する。

最後に第2図e)に示すように多結晶シリコン3/WSi₂Bを写真製版、エッチング技術によりゲート電極パターンに加工する。

〔発明が解決しようとする課題〕

従来の多結晶シリコン/WSi₂B構造の形成法では多結晶シリコン-WSi₂B界面が密着性に乏しく、これらの界面で膜ハガレが生じるという問題があった。

この発明は上記のような問題点を解消するためになされたもので、界面の密着性の良好なポリサイド構造を得ることのできる半導体装置の製造方法を得ることを目的とする。

〔課題を解決するための手段〕

この発明に係る半導体装置の製造方法は、多結晶シリコン膜に接して化学的気相成長法によりW

膜を堆積した後、さらにその上に化学的気相成長法あるいは物理的気相成長法によりWSi₂B膜を形成するようにしたものである。

〔作用〕

この発明における半導体装置の製造方法では化学的気相成長法より堆積されたWと下地の多結晶シリコンの反応性が高いため、W-多結晶シリコン間の密着性が高い。

〔実施例〕

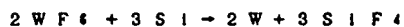
以下この発明の一実施例を図について説明する。

第1図はこの発明の一実施例による半導体装置の製造方法を示し、図において前述の第2図の従来例と同一符号は同等部分を示す。

以下本発明の製法について説明する。

第1図a)は第2図a)~c)と同様の手順により、半導体基板1上にゲート酸化膜2を形成し、多結晶シリコン膜3を堆積した後、多結晶シリコン3中に不純物をドーピングし、さらに多結晶シリコン3上の自然酸化膜をスパッタエッチングにより除去したところである。

次に第1図b)に示したようにソースガスとしてWF₆7を用い、半導体基板を加熱すると、WF₆7と多結晶シリコン3の間には次式、



で示されるような反応が生じ、W膜8が多結晶シリコン3上に堆積する。このとき、W8-多結晶シリコン3間の反応性はスパッタ法により堆積されたWSi₂B-多結晶シリコン3間における反応性より高く、W8-多結晶シリコン3間の密着性は非常に強固である。

さらに第1図c)に示すように必要な膜厚のWSi₂B膜8'を化学的気相成長法あるいは物理的気相成長法により堆積する。

最後に第1図d)に示すように多結晶シリコン3/W8/WSi₂B8'を写真製版、エッチング技術によりゲート電極パターンに加工する。

このような本実施例では多結晶シリコン上にW膜を設けたので、W-多結晶シリコン間の密着性に優れた膜構造を得ることができる。また、W膜の膜厚を充分薄くすれば、電気特性は従来の多結

晶シリコンWSi₂B構造とはほとんど変わらないものを得ることができる。

〔発明の効果〕

以上のようにこの発明によれば、多結晶シリコン上に多結晶シリコンとの化学結合性の高い化学気相成長法によるW膜を設けたので、W-多結晶シリコン間の密着性に優れた膜構造を得ることができ、また、W膜の膜厚を充分薄くすれば、電気特性は従来の多結晶シリコン/WSi₂B構造とはほとんど変わらないものを得ることができる効果がある。

4. 図面の簡単な説明

第1図はこの発明の一実施例による多結晶シリコン/W/WSi₂B構造の形成方法を示す工程別断面図、第2図は従来法による多結晶シリコン/WSi₂B構造の形成方法を示す工程別断面図である。

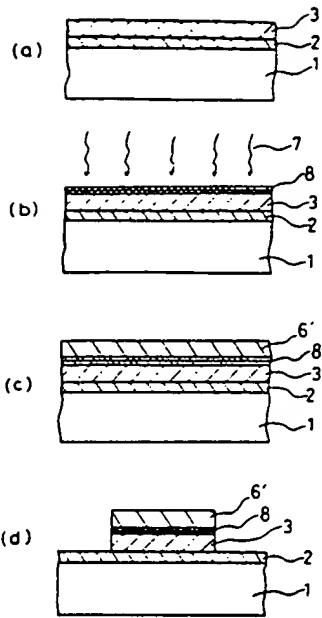
1は半導体基板、2はゲート酸化膜、3は多結晶シリコン膜、6、6'はWSi₂B膜、8はW膜。

なお図中同一符号は同一又は相当部分を示す。

代理人 早 瀬 憲 一

BEST AVAILABLE COPY

図 1 図



1: 半導体基板
2: ゲート酸化膜
3: 多結晶シリコン膜
7: WFe
8: W

6': WSi₂膜

図 2 図

